

SECTION : SCIENCES TECHNIQUES

Durée : 2 heures

Epreuve : GENIE ELECTRIQUE

4^{ème} SC.TECH3

8-11-2012

Nom : Prénom : N° : Classe : 4^{ème} SC.Tech3

B- PARTIE ELECTRIQUE

I-Etude de l'additionneur : (9.5 Pts)

1- compléter la table de vérité d'un additionneur complet des deux nombres de 1 bits ;
(S_i : somme ; C_{i+1} : la retenue de sortie ; C_i : la retenue d'entrée ; a_i et b_i : bits d'entrées).

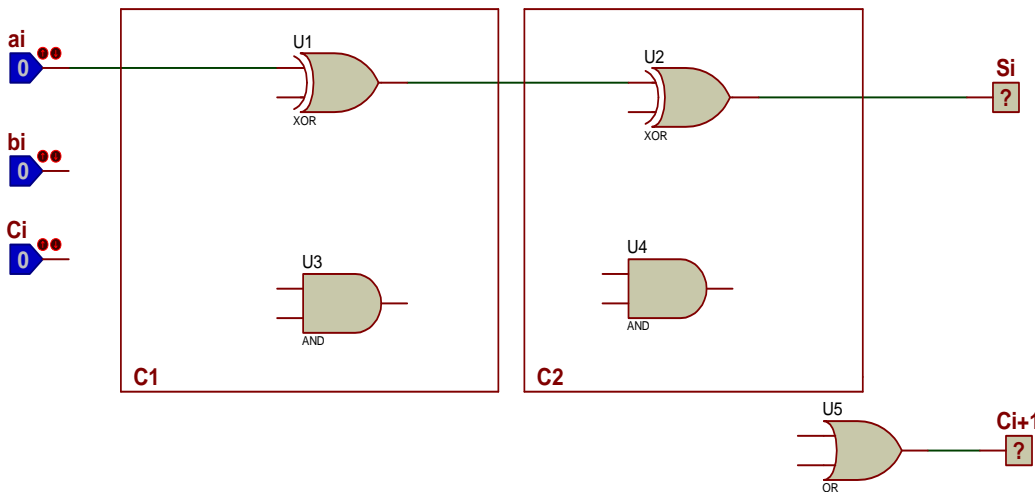
| a_i | b_i | C_i | C_{i+1} | S_i |
|-------|-------|-------|-----------|-------|
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

2- Donner les équations logiques simplifiées des sorties.

C_{i+1} =

S_i =

3- Compléter le logigramme de l'additionneur complet.



4- Identifier les bocs C_1 et C_2 .

.....

.....

.....

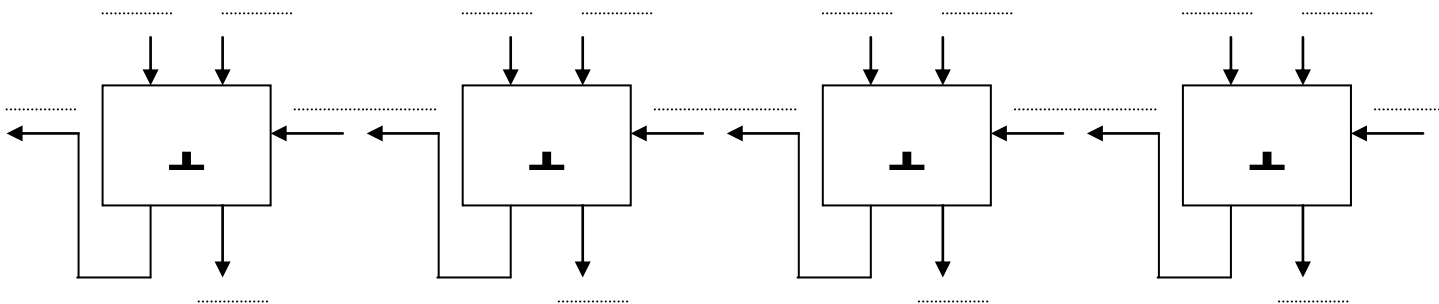
.....

.....

.....

.....

5- Mettre les entrées et les sorties et compléter le traçage du schéma synoptique de de l'additionneur des deux nombres $A (a_3a_2a_1a_0)$ et $B (b_3b_2b_1b_0)$



6- On souhaite transformer le montage précédent en un additionneur / soustracteur.
 On rappelle que dans la représentation en complément à 2 . $A - B = A + (-B) = A + \bar{B} + 1$.
 Cet additionneur / soustracteur possèdera une entrée de commande (ADD) qui sera utilisée comme suit :

* **ADD= 0**, fonctionnement en additionneur

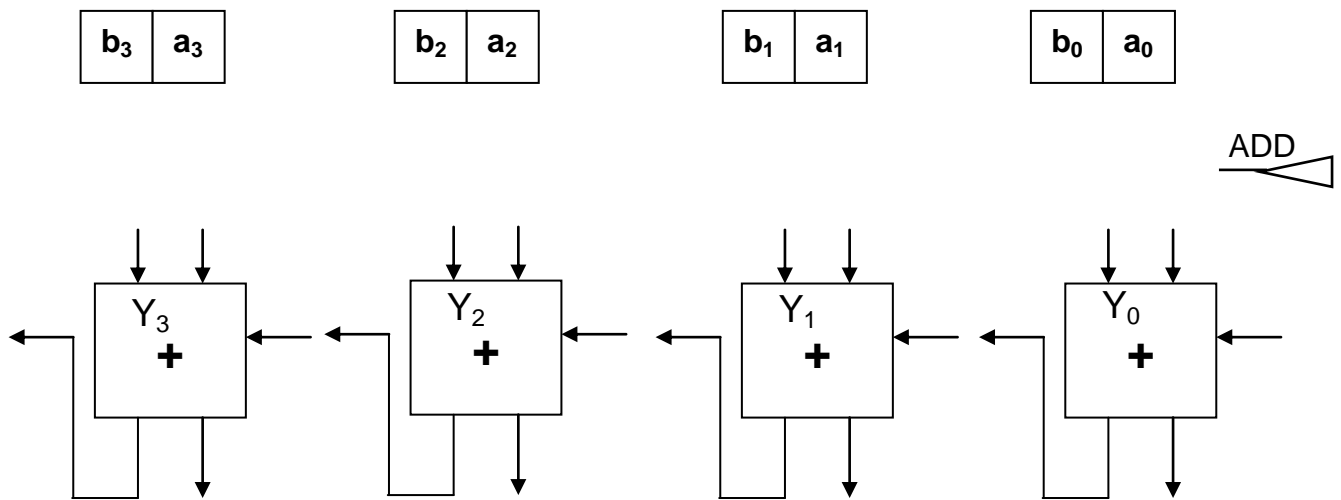
* **ADD= 1**, fonctionnement en soustracteur

a- compléter la table de vérité suivante (Y_i est l'image de bit b_i ou son complément selon l'opération).

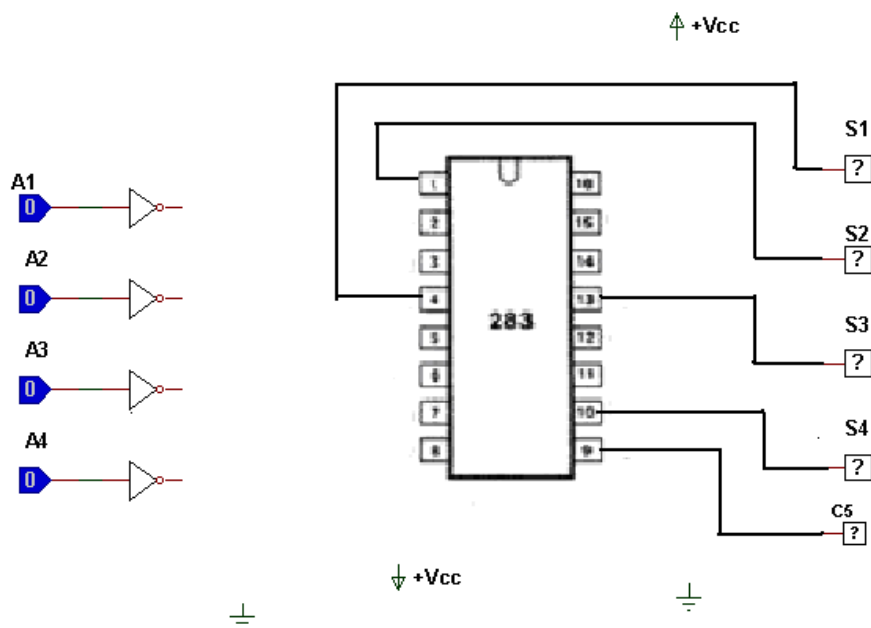
| ADD | b_i | Y_i |
|-----|-------|-------|
| 0 | 0 | |
| 0 | 1 | |
| 1 | 1 | |
| 1 | 0 | |

$Y_i = \dots\dots\dots$

b- Compléter le schéma synoptique de l'additionneur soustracteur.



7- le complémenteur à 2 est un circuit qui effectue le complément à deux d'un nombre binaire (complément à 2 de $A = \bar{A} + 1$).
 En se référant au dossier technique (circuit additionneur page 3/4) Compléter le schéma de câblage de ce complémenteur à 2 à 4 bits.



En mode arithmétique (M = 1) :

r_{i-1} est la retenue provenant de l'étage précédant. La figure 1 page 2/4 donne les sorties S_i .

1- Donner l'équation de S_i d'après la figure 1

$S_i = \dots\dots\dots$

2- Donner la valeur de la sortie S pour les combinaisons suivantes :

| r_{i-1} | f_3 | f_2 | f_1 | f_0 | G_i | P_i | \overline{G}_i | S_i |
|-----------|-------|-------|-------|-------|-------|-------|------------------|-------|
| 1 | 1 | 0 | 1 | 1 | | | | |
| 1 | 0 | 1 | 0 | 1 | | | | |
| 1 | 1 | 1 | 0 | 0 | | | | |
| 1 | 1 | 1 | 0 | 1 | | | | |

VI / On désire améliorer la carte de commande automatique de l'unité en ajoutant une Unité Arithmétique et logique "UAL" 4 bits 74 181 .

1 / Citer les opérations de base réalisées par l'UAL

.....

2 / Citer les éléments de base constituant un UAL

.....

3 / Donner la différence entre une UL et une UAL

.....

4 / Identifier les sorties :

M :

Cn :

A = B :

En se référant au schéma structurel du circuit de calcul numérique représenté au dossier technique analyser le fonctionnement et compléter le tableau suivant.

| A | | | | B | | | | Additionneur : U1 | | | | Comparateur : U2 | | | UAL : U3 | | | | |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-------------------|----------------|----------------|----------------|---------------------|------------------|---------------------|-----------|----------------|----------------|----------------|----------------|
| A ₄ | A ₃ | A ₂ | A ₁ | B ₄ | B ₃ | B ₂ | B ₁ | S ₄ | S ₃ | S ₂ | S ₁ | Q _{A<S} | Q _{A=S} | Q _{A>S} | Opération | F ₃ | F ₂ | F ₁ | F ₀ |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | | | | | | | | | | | | |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | | | | | | | | | | | | |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | | | | | | | | | | | | |